

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-033113

(43)Date of publication of application : 02.02.2000

(51)Int.Cl.

A61L 2/02  
B05B 17/06  
B08B 3/12

(21)Application number : 11-115526

(71)Applicant : TOTO LTD

(22)Date of filing : 22.04.1999

(72)Inventor : ANDO SHIGERU  
OSHIMA KOJI  
TAKESHITA AKEMI  
HARAGA HISATO

(30)Priority

Priority number : 10129585 Priority date : 23.04.1998 Priority country : JP

10132716 27.04.1998

10146576 12.05.1998 JP

JP

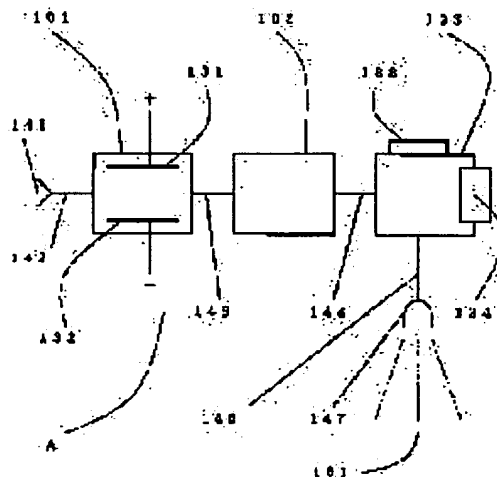
## (54) ULTRASONIC CLEANING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten cleaning time, and to enhance a sterilizing effect by providing a vibrator setting a frequency of an ultrasonic wave transmitted from an ultrasonic wave transmitting means for transmitting an ultrasonic wave in the water not less than a specific value, and setting intensity not less than intensity for generating cavitation.

SOLUTION: An ultrasonic cleaning device A is composed of a dissolved oxygen adding means 101, a bubble removing means 102, an ultrasonic wave transmitting means 103 and a delivery port 147. The dissolved oxygen adding means 101 is connected to the service water primary side 141 through piping 142 and to the bubble removing means 102 through piping 143. The bubble removing means 102 is connected to the ultrasonic wave transmitting means 103 through piping 144, and the ultrasonic wave transmitting means 103 is connected to the delivery port 147 through piping 145. The ultrasonic wave transmitting means 103 connects an ultrasonic vibrator 133 for connecting a high frequency

control circuit, a frequency of an ultrasonic wave transmitted from the high frequency transmitting means 103 is set not less than about 100 KHz, and intensity is set not less than intensity for



BEST AVAILABLE COPY

generating cavitation.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-331113  
(P2000-331113A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

G 0 6 G 7/12

G 0 6 G 7/12

H

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-140491

(22) 出願日 平成11年5月20日 (1999. 5. 20)

(71) 出願人 592179296

株式会社エイ・ティ・アール人間情報通信  
研究所

京都府相楽郡精華町光台二丁目2番地2

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72) 発明者 金谷 一朗

京都府相楽郡精華町大字乾谷小字三平谷5  
番地 株式会社エイ・ティ・アール人間情  
報通信研究所内

(74) 代理人 100090181

弁理士 山田 義人

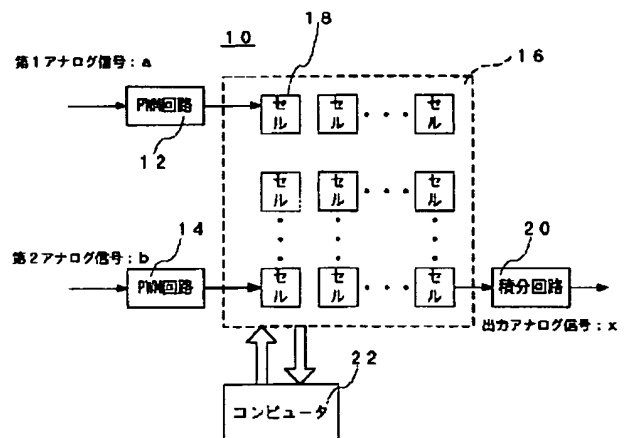
最終頁に続く

## (54) 【発明の名称】 再構成可能な擬似アナログ電気回路装置

## (57) 【要約】

【構成】 再構成可能な擬似アナログ電気回路10において、第1アナログ信号aをゼロオフセットで、第2アナログ信号を可変オフセットでPWM信号にそれぞれ変換する。2つのPWM信号をフィールドプログラマブルゲートアレイ (FPGA) 16に入力し、コンピュータ22によってFPGA16内のセル18およびそれらの結線を設定することによって、FPGA16で2つのPWM信号の論理演算が行われ、その演算結果が積分回路20によってアナログ信号に復元され、出力アナログ信号xが得られる。

【効果】 FPGA内での処理または演算の態様を適宜設定でき、結果、再構成可能な擬似アナログ電気回路装置が得られる。



**【特許請求の範囲】**

**【請求項 1】** 第 1 アナログ信号を固定オフセットでパルス幅変調して第 1 PWM 信号を出力する第 1 パルス幅変調手段、

第 2 アナログ信号を可変オフセットでパルス幅変調して第 2 PWM 信号を出力する第 2 パルス幅変調手段、

前記第 1 PWM 信号および前記第 2 PWM 信号を受けるデジタル演算手段、および前記デジタル演算手段からの演算出力をアナログ変換して出力アナログ信号を得る変換手段を備え、

前記デジタル演算手段をフィールドプログラマブルゲートアレイで構成した、再構成可能な擬似アナログ電気回路装置。

**【請求項 2】** 前記第 2 パルス幅変調手段はオフセットが最大値になるまでオフセット値を変え、

前記デジタル演算手段は前記第 1 PWM 信号および前記第 2 PWM 信号を前記第 2 パルス幅変調手段によってオフセット値を変更する都度論理演算して複数の論理演算結果を得、前記複数の論理演算結果を所定の方法で処理することによって前記演算出力を得る、請求項 1 記載の再構成可能な擬似アナログ電気回路装置。

**【請求項 3】** 前記所定の方法は前記複数の論理演算結果の内最大値を選択することであり、それによって前記出力アナログ信号として前記第 1 アナログ信号および前記第 2 アナログ信号を加算した信号を得る、請求項 2 記載の再構成可能な擬似アナログ電気回路装置。

**【請求項 4】** 前記所定の方法は前記複数の論理演算結果の平均値を計算することであり、それによって前記出力アナログ信号として前記第 1 アナログ信号および前記第 2 アナログ信号を積算した信号を得る、請求項 2 記載の再構成可能な擬似アナログ電気回路装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** この発明は、擬似アナログ電気回路装置に関し、特にたとえば 2 つまたはそれ以上のアナログ信号を PWM 信号に変換しその PWM 信号をフィールドプログラマブルゲートアレイ (Field Programmable Gate Array : 以下単に「FPGA」と呼ぶ。) によってデジタル処理する、新規な、再構成可能な擬似アナログ電気回路装置に関する。

**【0002】**

**【従来の技術】** 回路仕様の様々な要求に応えることができる、再構成可能なハードウェアが知られている。特に、アナログ電気信号を扱う電気回路の場合、再構成可能なハードウェアを構成するために、アナログ電気素子を再構成可能な結線手段によって集積することが多い。

**【0003】**

**【発明が解決しようとする課題】** しかしながら、アナログ電気素子はサイズが大きく、したがって、小規模なアナログ電気回路しか構築できない。

**【0004】** それゆえに、この発明の主たる目的は、より大規模な、再構成可能な擬似アナログ電気回路装置を提供することである。

**【0005】**

**【課題を解決するための手段】** この発明に従った再構成可能な擬似アナログ電気回路装置は、第 1 アナログ信号を固定オフセットでパルス幅変調して第 1 PWM 信号を出力する第 1 パルス幅変調手段、第 2 アナログ信号を可変オフセットでパルス幅変調して第 2 PWM 信号を出力する第 2 パルス幅変調手段、第 1 PWM 信号および第 2 PWM 信号を受けるデジタル演算手段、およびデジタル演算手段からの演算出力をアナログ変換して出力アナログ信号を得る変換手段を備え、デジタル演算手段をフィールドプログラマブルゲートアレイ (FPGA) で構成した、再構成可能な擬似アナログ電気回路装置である。

**【0006】**

**【作用】** 第 1 パルス幅変調手段が第 1 アナログ信号を固定オフセット (たとえばオフセット = 0) でパルス幅変調して第 1 PWM 信号を出力する。これに対して、第 2 パルス幅変調手段は、第 2 PWM 信号に時間的ゆらぎを与えるように、可変オフセットで第 2 アナログ信号を第 2 PWM 信号に変換する。FPGA で構成したデジタル演算手段が 2 つの PWM 信号をデジタル的に演算または処理することによって、その FPGA の出力に 2 つのアナログ信号がアナログ的に演算または処理されたと等価のデジタル信号が得られ、それを変換手段によってアナログ変換することによって、出力アナログ信号が得られる。

**【0007】** 具体的な実施例では、第 2 パルス幅変調手段はオフセットが最大値になるまでオフセット値を変え、デジタル演算手段は第 1 PWM 信号および第 2 PWM 信号を第 2 パルス幅変調手段によってオフセット値を変更する都度論理演算して複数の論理演算結果を得、複数の論理演算結果を所定の方法で処理することによって演算出力を得る。

**【0008】** なお、所定の方法が複数の論理演算結果の内最大値を選択することであれば、出力アナログ信号として第 1 アナログ信号および第 2 アナログ信号を加算した信号を得ることができる。

**【0009】** また、所定の方法が複数の論理演算結果の平均値を計算することであれば、出力アナログ信号として第 1 アナログ信号および第 2 アナログ信号を積算した信号を得ることができる。

**【0010】**

**【発明の効果】** この発明によれば、デジタル演算手段を FPGA で構成しているので、デジタル演算手段における演算または処理の態様を適宜変更することができ、したがって、擬似アナログ電気回路装置を再構成可能に構成することができる。また、FPGA を構成する

ゲート素子は従来のアナログ電気素子よりサイズが小さいので、大規模なアナログ電気回路を作ることができる。

【0011】この発明のその他の目的、特徴および利点は、添付図面に関連して行われる以下の実施例の詳細な説明から一層明らかとなろう。

【0012】

【実施例】図1を参照して、この実施例の再構成可能な擬似アナログ電気回路装置10は、第1アナログ信号をパルス幅変調するPWM回路12および第2アナログ信号をパルス幅変調するPWM回路14を含む。2つのPWM回路12および14から出力される第1PWM信号および第2PWM信号は、フィールドプログラマブルゲートアレイ(FPGA)16に入力される。

【0013】FPGA16は、たとえば $n$ 行・ $m$ 列

( $n$ ,  $m$ はともに自然数)のマトリクス状に配列された複数のセル18を有し、各セル18は、図2に示すように、セル本体24と、それに信号を入力またはそれから信号を出力するための入力/出力ポートとを含む。入力/出力ポートは、4方向に設けられていて、北方向に $N_{in}$ および $N_{out}$ が、東方向に $E_{in}$ および $E_{out}$ が、南方向に $S_{in}$ および $S_{out}$ が、そして西方向に $W_{in}$ および $W_{out}$ が、それぞれ設けられる。なお、添え字「in」は入力ポートを、添え字「out」は出力ポートをそれぞれ示す。

【0014】セル本体24内には、図示していないが、ディジタル演算回路が形成されていて、そのディジタル演算回路は、たとえば図3に示すような真理値表に従って、入力 $N$ ,  $E$ ,  $S$ ,  $W$ に対して出力 $N$ ,  $E$ ,  $S$ ,  $W$ を出す。なお、各セル18の真理値表はそれぞれ同じであってもよいし、それぞれ異なった処理が可能ないように異なる真理値表のものとして構成されていてもよい。

【0015】そして、入力/出力ポートにはゲート回路が個別に組み込まれていて、それぞれのゲート回路をオンまたはオフすることによって、必要な入力ポートおよび/または出力ポートのみを能動化し、不必要な入力ポートおよび/または出力ポートを不能動化することができる。したがって、たとえば図1に示すコンピュータ22によって、各セル18の入力/出力ポートを選択的に能動化(または不能動化)することによって、マトリクス状に配置された多数のセル18間の任意の可変的接続を可能にする。つまり、コンピュータ22によって各セル18間の接続を変えることによって、任意の処理または演算要素(ディジタル演算回路)を任意の接続または結線状態で使用することができるので、ディジタル演算手段としてのFPGA16の演算または処理の態様を変えることができる。

【0016】図1に示す第1および第2PWM回路12および14は、それぞれ、図4に示すようなPWM信号を出力する。パルス幅変調は、周知のように、入力アナ

ログ信号のたとえば電圧値を、その電圧値に相關するオンデューティを有するパルス信号に変換する。たとえば、 $0V - 1V$ の範囲の入力アナログ信号をPWMするものと仮定すると、電圧が $0.5V$ のアナログ信号は、オンデューティ50% (オン期間とオフ期間との比が1:1)のPWM信号が出力される。

【0017】また、図4の例では、「オフセット」を図示しているが、このオフセットは、上述のPWM信号が出力されるタイミングのずれであり、このオフセット時間を変更することによって、出力されるPWM信号に時間ゆらぎを付与することができる。図1の実施例では、PWM回路12においては、固定オフセット(たとえばオフセット=0)で第1アナログ信号をパルス幅変調する。これに対して、PWM14では、時間ゆらぎを付与できるように、可変オフセットで第2アナログ信号をパルス幅変調する。

【0018】FPGA16は、このような2つのPWM信号を受ける。2つのPWM信号はFPGA16内の任意の位置のセル18に与えられてよい。なぜなら、コンピュータ22によって各セル18間の接続状態を任意に設定または変更できるからである。すなわち、コンピュータ22によって使用するセル18とそれらの間の結線とを設定することによって、FPGA16における処理方法を任意に再構築できるのである。つまり、図1実施例は再構成可能な擬似アナログ電気回路装置である。

【0019】そして、最終段のセル、図1実施例では、最右列(Column)最下行(Raw)段のセルにディジタル演算出力が得られ、そのディジタル演算出力が積分回路20によって積分されることによって、アナログ信号に復元される。つまり、入力信号がPWM信号であるので、そのディジタル演算出力もまたPWM信号であり、PWM信号を積分することによってそのPWM信号をアナログ信号に変換することができる。ただし、実施例の積分回路に代えて、他の任意のアナログ変換手段が用いられてもよい。

【0020】図5に示すフロー図は図1実施例の再構成可能な擬似アナログ電気回路装置10を2つの入力アナログ信号aおよびbの加算回路として構成するための動作を示し、このような動作はコンピュータ22によってFPGA16内のセル18を任意に選択しかつ任意に結線することによって達成できる。

【0021】2つのアナログ信号aおよびbを加算するためには、ステップS11において、第1PWM回路12によって、数1に従って、アナログ信号aを、オフセット $i=0$ で、パルス幅変調し第1PWM信号Aを得る。

【0022】

【数1】 $A = PWM(a, 0)$

続くステップS12で、第2PWM回路14によって、数2に従って、アナログ信号bを、オフセット $i$ でパル

スはパルス幅変調して第2 PWM信号Bを得る。

【0023】

【数2】  $B = \text{PWM}(a, i)$

そして、ステップS13において、数3のように、2つのPWM信号AおよびBを加算（論理和）して、加算結果X[i]を得る。

【0024】

【数3】  $X[i] = A + B[i]$

さらに、ステップS14において、オフセット値iが最大値になったかどうか判断し、最大値になっていなければステップS15でオフセット値iをインクリメント

( $i = i + 1$ )して、ステップS12-S14を繰り返す。

したがって、オフセット値iが最大値に達すると、ステップS14で“YES”が判断され、ステップS16に進む。

【0025】ステップS16では、先のステップS13を実行することによって得られた複数の加算結果X

[i]の中から、最大値X<sub>max</sub>を選択する。第1 PWM信号Aはゼロオフセットであり、第2 PWM信号のオフセットは可変である。先に述べたように、PWM信号はアナログ信号の大きさ（たとえば電圧）に相関するオン期間を有するパルス信号である。2つのPWM信号を加算すること、2つのPWM信号の論理和をとることである。論理和結果のオン期間が2つのPWM信号の加算結果であり、それが最大値のとき、第2 PWM信号のオフセット値iが適正であったことを意味している。そのため、この実施例では、最大値X<sub>max</sub>を加算結果とするのである。

【0026】なお、最後のステップS17では、最大値X<sub>max</sub>を積分回路20で積分することによって、出力アナログ信号xを得る。

【0027】なお、発明者の実験では、第2 PWM信号のオフセット値iを細かい刻みで設定するほど加算結果の精度が向上するが、たとえばi<sub>max</sub>=100とした場合、実験では誤差が1%程度であった。

【0028】図6に示すフロー図は図1実施例の再構成可能な擬似アナログ電気回路装置10を2つの入力アナログ信号aおよびbの積算回路として構成するための動作を示し、このような動作はコンピュータ22によってFPGA16内のセル18を任意に選択しかつ任意に結線することによって達成できる。

【0029】2つのアナログ信号aおよびbを加算するためには、ステップS21において、第1 PWM回路12によって、先に説明した数1に従って、アナログ信号aを、オフセットi=0で、パルス幅変調し第1 PWM信号Aを得る。

【0030】続くステップS22で、第2 PWM回路14によって、先に説明した数2に従って、アナログ信号bを、オフセットiでパルスはパルス幅変調して第2 PWM信号Bを得る。

【0031】そして、ステップS23において、数4のように、2つのPWM信号AおよびBを積算（論理積）して、積算結果X[i]を得る。

【0032】

【数4】  $X[i] = A * B[i]$

さらに、ステップS24において、オフセット値iが最大値になったかどうか判断し、最大値になっていなければステップS25でオフセット値iをインクリメント( $i = i + 1$ )して、ステップS22-S24を繰り返す。したがって、オフセット値iが最大値に達すると、ステップS24で“YES”が判断され、ステップS26に進む。

【0033】ステップS26では、先のステップS23を実行することによって得られた複数の積算結果X

[i]の平均値X<sub>avr</sub>を計算する。先に述べたように、PWM信号はアナログ信号の大きさ（たとえば電圧）に相関するオン期間を有するパルス信号である。2つのPWM信号を積算すること、2つのPWM信号の論理積をとることである。論理積結果のオン期間が2つのPWM信号の積算結果であり、その平均値X<sub>avr</sub>における第2 PWM信号のオフセット値iが適正であったことを意味している。そのため、この実施例では、平均値X<sub>avr</sub>を積算結果とするのである。

【0034】そして、最後のステップS27では、平均値X<sub>avr</sub>を積分回路20で積分することによって、出力アナログ信号xを得る。

【0035】なお、第2 PWM信号のオフセット値iを細かい刻みで設定するほど積算結果の精度が向上するが、たとえばi<sub>max</sub>=100とした場合、実験では誤差が1-2%程度であった。

【0036】また、上述の説明では、再構成可能な擬似アナログ電気回路10を用いて擬似アナログ加算回路および擬似アナログ積算回路が構成できることを具体的に説明した。しかしながら、コンピュータ22によってFPGA16内のセル18およびそれらの結線を適宜設定することによって、他の任意の種類の処理または演算が可能であることが容易に理解できる。

【図面の簡単な説明】

【図1】この発明の一実施例の再構成可能な擬似アナログ電気回路装置を示すブロック図である。

【図2】図1実施例におけるセルを示す図解図である。

【図3】図2実施例におけるセルの真理値表の一例を示す図解図である。

【図4】図1実施例におけるPWM回路から出力されるPWM信号を例示する図解図である。

【図5】図1実施例において2つのアナログ信号を加算するときの動作を示すフローである。

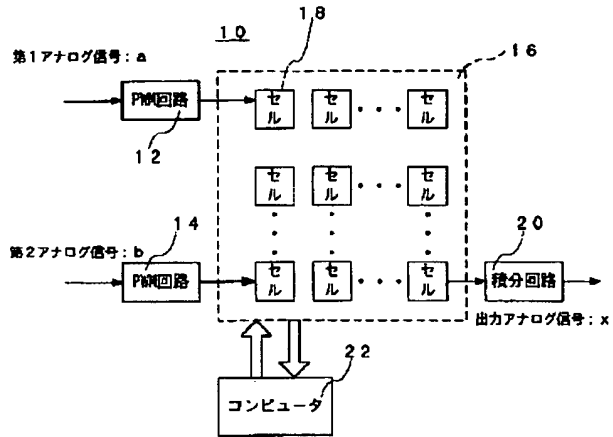
【図6】図1実施例において2つのアナログ信号を積算するときの動作を示すフローである。

【符号の説明】

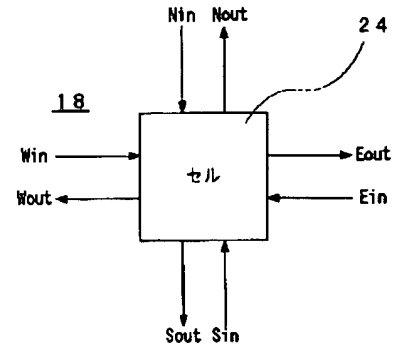
10 …再構成可能な擬似アナログ電気回路  
 12, 14 …PWM回路  
 16 …FPGA

18 …セル  
 20 …積分回路  
 22 …コンピュータ

【図1】



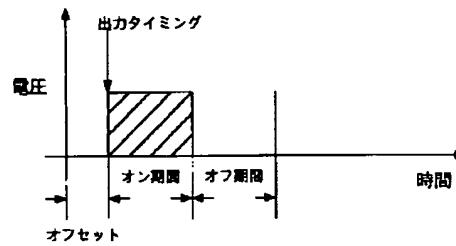
【図2】



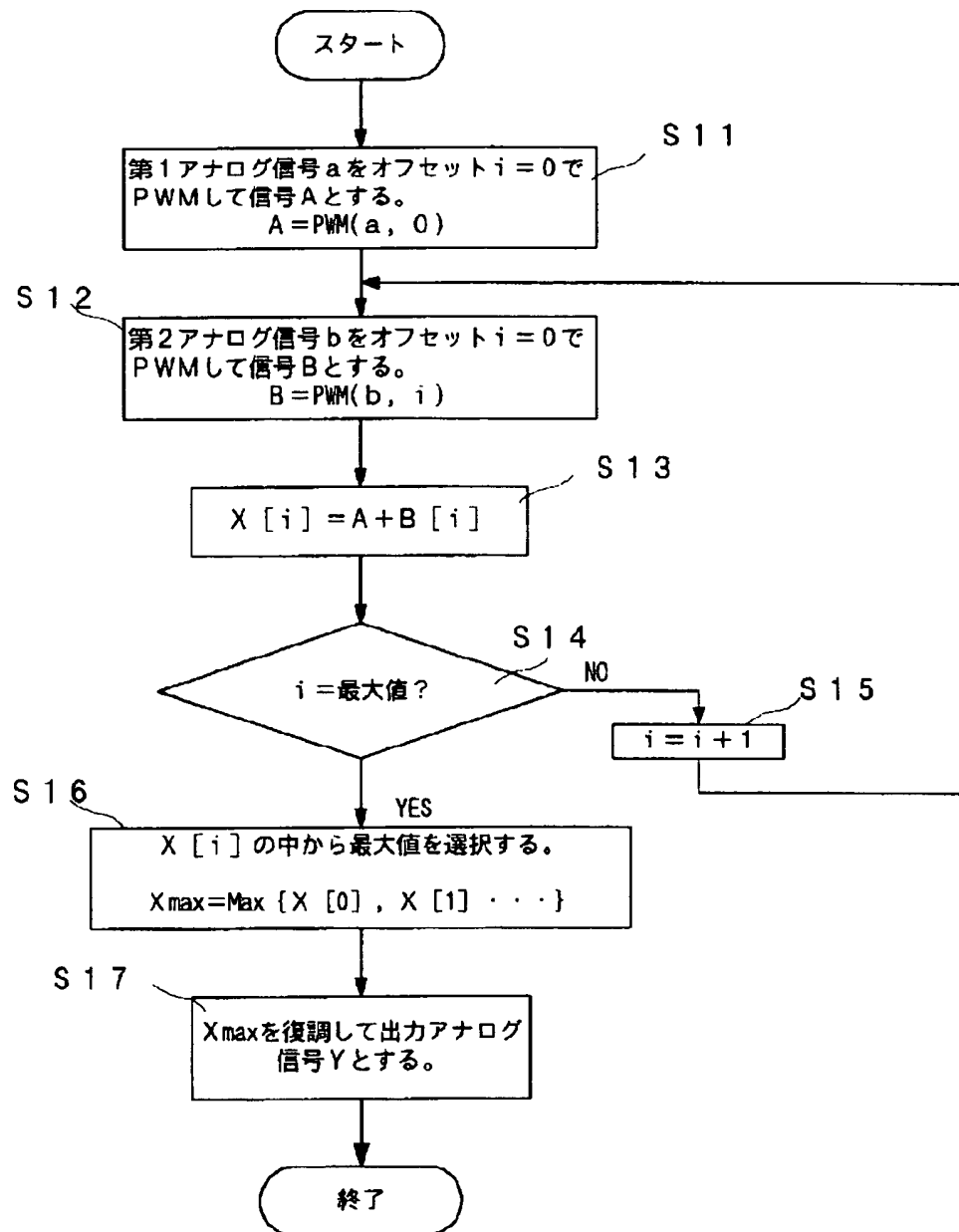
【図3】

入力				出力			
N	E	S	W	N	E	S	W
0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	1
		1				1	
		1				1	
		1				1	
1	1	1	1	1	0	1	1

【図4】

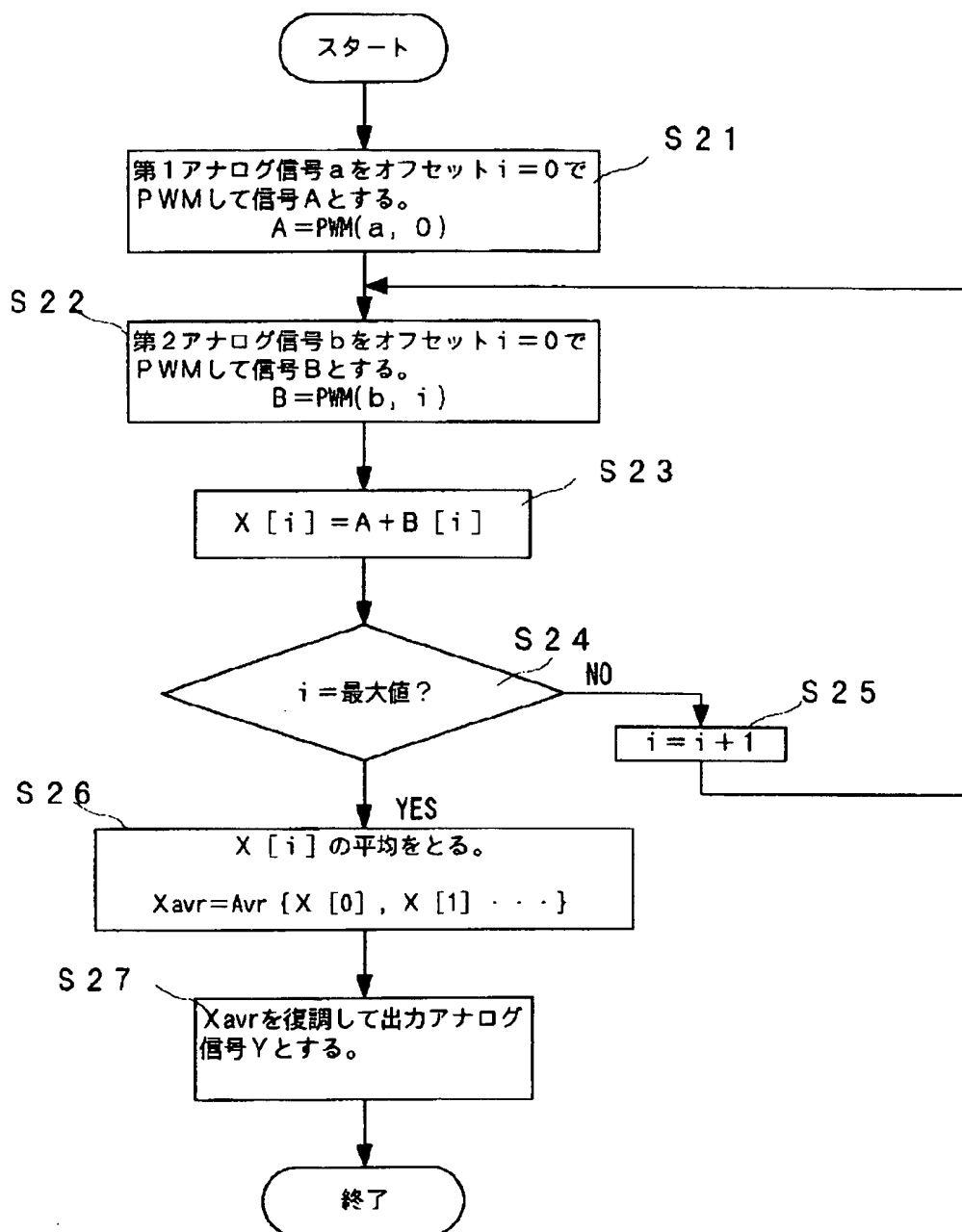


【図5】





【図6】



フロントページの続き

(72)発明者 邊見 均  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 下原 勝憲  
京都府相楽郡精華町大字乾谷小字三平谷5  
番地 株式会社エイ・ティ・アール人間情  
報通信研究所内